

Practitioner's Docket No. 1406/36



HS/PD
Awards
6/10/02
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Ronalf Kramer

Application No.: 10/052,652

Group No.: Not Assigned

Filed: 01/18/2002

Examiner: Not Assigned

For: CIRCUIT FOR GENERATING AN ASYNCHRONOUS SIGNAL PULSE

COPY OF PAPERS
ORIGINALLY FILED

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF CERTIFIED COPY

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: Germany

Application Number: 101 03 052.5

Filing Date: 01/24/2001

Date: 3-20-02

Signature of Practitioner

Reg. No.: 28,428
Tel. No.: 001-919-493-8000
Customer No.: 25297



PATENT TRADEMARK OFFICE

Richard E. Jenkins
JENKINS & WILSON, P.A.
Suite 1400 University Tower
3100 Tower Boulevard
Durham, NC 27707
UNITED STATES OF AMERICA

CERTIFICATE OF MAILING (37 C.F.R. section 1.8a)

I hereby certify that this correspondence is, on the date shown below, being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

Date: 3/20/02

Signature

Shaylor E. Dunn
(type or print name of person certifying)

BUNDESREPUBLIK DEUTSCHLAND



COPY OF PAPERS
ORIGINALLY FILED

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 03 052.5

Anmeldetag: 24. Januar 2001

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Schaltkreis zum Erzeugen eines asynchronen
Signalpulses

IPC: H 03 K 5/04

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der
ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 28. Februar 2002
Deutsches Patent- und Markenamt

Der Präsident
Im Auftrag

Niebinger

Beschreibung

Schaltkreis zum Erzeugen eines asynchronen Signalpulses

5 Die Erfindung betrifft einen Schaltkreis zum Erzeugen eines asynchronen Signalpulses in einer integrierten Schaltung.

Bei den herkömmlichen Schaltungen hat man oft das Problem, dass bereits beim Entwurf der Schaltung verbindlich festgelegt werden muss, ob ein Signal high-aktiv oder low-aktiv ist. Insbesondere ist dies wichtig, wenn das entsprechende Signal später in einer Schaltung als Reset-Signal oder als Watchdog-Signal verwendet werden soll. Ist der Aktivzustand des Signals nicht richtig gewählt, kann das Signal nicht verwendet werden, und es kann zu Blockierungen (deadlocks) des Systems kommen, die sich gerade bei Watchdog- oder Reset-Signalen fatal auswirken.

Die Festlegung des aktiven Zustandes eines von der Schaltung ausgegebenen Signals kann bis zum konkreten Einsatz der Schaltung verschoben werden, wenn die Möglichkeit der nachträglichen Programmierung der Schaltung besteht. Dazu kann beispielsweise ein Register in der Schaltung verwendet werden. Dies hat aber den nachteiligen Effekt, dass die Schaltung erheblich aufwendiger gestaltet werden muss.

Eine weitere Möglichkeit, die Festlegung des aktiven Zustandes des von der Schaltung ausgegebenen Signals bis zum Einbau der Schaltung zu verschieben, besteht darin, sowohl ein high-aktives als auch ein low-aktives Signal durch die Schaltung auszugeben. Beim Einbau der Schaltung kann dann das eine oder das andere Signal abgegriffen werden. Diese Möglichkeit hat jedoch den Nachteil, dass für die auszugebenden Signale zwei Anschlüsse (pads) anstatt nur eines Anschlusses bei der Schaltung vorgesehen werden müssen. Dies ist besonders störend bei integrierten Schaltkreisen, bei denen je nach Gehäu-

se nur eine begrenzte Anzahl von Anschlüssen zur Verfügung steht.

Aufgabe der vorliegenden Erfindung ist es, einen Schaltkreis zu schaffen, mit dem sich ohne großen schaltungstechnischen Aufwand und ohne die Probleme wie beim Stand der Technik ein pulsförmiges Signal mit dem gewünschten Aktivzustand erzeugen lässt.

10 Diese Aufgabe wird gelöst durch den Schaltkreis nach Anspruch 1. Bevorzugte Ausführungsformen der Erfindung sind Gegenstand der Unteransprüche.

Durch den erfindungsgemäßen Schaltkreis zur Erzeugung eines asynchronen Signalpulses mit einer vorgegebenen Dauer an einem Ausgang einer integrierten Schaltung werden nacheinander zwei Pulse ausgegeben, von denen einer je nach externer Be- schaltung auf der Platine verwendet wird. Dadurch wird ein high- wie auch low-aktiver Puls ohne besondere Einstellungen wie Programmierung der Schaltung am Ausgang bereitgestellt. Welcher der beiden Pulse genutzt wird, wird durch einen pull- down- oder einen pull-up- Widerstand auf dem Board festge- legt, auf dem sich die integrierte Schaltung befindet. Der erfindungsgemäße Schaltkreis umfasst einen ersten und einen zweiten Transistor in der integrierten Schaltung, die zwi- schen einem Versorgungspotential U_{DD} und Masse GND in Reihe geschaltet sind, wobei an ihrem Verbindungspunkt ein Aus- gangspotential abgegriffen wird und an ihrem Steueranschluss jeweils ein Steuerpuls mit der vorgegebenen Dauer anliegt, so dass für die vorgegebene Dauer entweder der erste Transistor oder der zweite Transistor leitend wird und der Verbindungs- punkt entweder auf dem Versorgungspotential U_{DD} oder auf Mas- se GND liegt, und einen Widerstand für die Definition des ak- tiven Signalzustandes, der außerhalb der integrierten Schal- tungen parallel zu einem der beiden Transistoren in der integ- rierten Schaltung entweder zwischen das Versorgungspotential

U_{DD} und dem Verbindungspunkt oder zwischen Masse GND und dem Verbindungspunkt geschaltet ist.

Vorzugsweise ist zwischen dem ersten Steuerpuls und dem zweiten Steuerpuls eine Wartezeit vorgesehen. Bevorzugt wird der zweite Steuerpuls durch eine Inverter-Verzögerungsvorrichtung aus dem ersten Steuerpuls erzeugt wird.

In einer weiteren bevorzugten Ausführungsform der Erfindung ist der erste Transistor ein P-Kanal-MOS-Transistor und der zweite Transistor ein N-Kanal-MOS-Transistor, wobei der Steueranschluss des ersten Transistors invertiert ist. Insbesondere können der erste Transistor und der zweite Transistor einen CMOS-Inverter mit unabhängigen Steuer-Gate-Anschlüssen bilden.

Ein Vorteil der Erfindung besteht darin, dass bei der erfindungsgemäßen Lösung die externe Beschaltung des integrierten Schaltkreises wenig Platz auf dem Board beansprucht.

Weitere Merkmale und Vorteile der Erfindung ergeben sich aus der folgenden Beschreibung von Ausführungsbeispielen.

Fig. 1A und 1B zeigen jeweils eine Ausführungsform der Erfindung.

Fig. 2 zeigt den zeitlichen Verlauf der Eingangs- und Ausgangssignale des integrierten Schaltkreises gemäß Fig. 1A und 1B.

Der in Fig. 1 gezeigte Schaltkreis zur Erzeugung eines asynchronen Signalpulses an einem Ausgang einer integrierten Schaltung 1, der eine vorgegebene Dauer hat und insbesondere als Reset- oder Watchdog-Signal verwendet werden kann, umfasst einen ersten Transistor 2 und einen zweiten Transistor 3. Die beiden Transistoren 2 und 3 sind Teil der integrierten Schaltung. Die integrierte Schaltung 1 ist in Fig. 1 durch

zwei gestrichelte Linien angedeutet, die die Grenze der integrierten Schaltung 1 darstellen. In der dargestellten Ausführungsform der Erfindung sind der erste Transistor 2 ein P-Kanal-MOS-Transistor (mit einem kleinen Kreis am Gate- Anschluss) und der zweite Transistor 3 ein N-Kanal-MOS- Transistor. Der Aufbau der Schaltung entspricht damit im wesentlichen einem CMOS- Inverter, bei dem aber die Steuer- Gate- Anschlüsse der Transistoren unabhängig ansteuerbar bleiben.

10 Die Transistoren 2 und 3 sind zwischen ein Versorgungspotential U_{DD} und Masse GND in Reihe geschaltet. Der Source- Anschluss des ersten Transistors 2 liegt auf einem Versorgungspotential U_{DD} , der Drain- Anschluss des ersten Transistors 2 ist mit dem Drain- Anschluss des zweiten Transistors 3 verbunden. Der Source- Anschluss des zweiten Transistors 3 liegt auf Masse GND. An dem Gate G1 des ersten Transistors 2 liegt ein erstes Steuersignal A an, an dem Gate G2 des zweiten Transistors 3 liegt ein zweites Steuersignal B an.

15 Der Verbindungspunkt von dem Drain- Anschluss des ersten Transistors 2 und dem Drain- Anschluss des zweiten Transistors 3 ist mit einem Anschluss- Pad 4 verbunden. Wenn einer der zwei Transistoren 2 und 3 leitend wird, wird das Anschluss- Pad 4 mit dem jeweiligen Potential verbunden, und es liegt auf einem definierten Ausgangspotential, das von außen abgegriffen werden kann.

20 Ist keiner der beiden Transistoren 2 und 3 leitend, so ist das Anschluss- Pad 4 hochohmig sowohl von Versorgungspotential U_{DD} als auch von Masse GND getrennt, so dass das Anschluss- Pad 4 "floatet" und die Push-pull-Stufe aus den beiden Transistoren 2 und 3 einen Tristate-Ausgang bildet.

25 Um einen der beiden Transistoren 2 und 3 leitend zu machen, wird an ihrem Steueranschluss G1 bzw. G2 jeweils ein Steuerpuls A bzw. B angelegt. Der Steuerpuls A und B hat jeweils eine vorgegebene Dauer, die der gewünschten Dauer des Aus-

gangssignals am Pad 4 entspricht und sich nach den Anforderungen z.B. an einen Reset-Puls für weitere (nicht dargestellte) Bauelemente auf der Platine richtet. Für diese vorgegebene Dauer des Steuerpulses A bzw. B ist entweder der 5 erste Transistor 2 oder der zweite Transistor 3 leitend. Entsprechend liegt das Anschluss- Pad 4 entweder auf dem Versorgungspotential U_{DD} oder auf Masse GND.

Erfindungsgemäß wird zunächst ein erster Steuerpuls an eine 10 der beiden Steuerelektroden angelegt. Anschließend wird ein zweiter Steuerpuls an die zweite der beiden Steuerelektroden angelegt, so dass beide Transistoren nacheinander durchgeschalten. In den hier dargestellten Ausführungsformen wird zunächst der zweite Steuerpuls B an das zweite Steuer-Gats G2 15 angelegt, dann wird der erste Steuerpuls A an das erste Steuer-Gate G1 angelegt. Das Anschluss- Pad 4 liegt daher für eine durch den Steuerpuls A bestimmte Dauer auf dem Versorgungspotential U_{DD} und für eine durch den Steuerpuls B bestimmte Dauer auf Masse GND. (Grundsätzlich kann die Dauer 20 der beiden Steuerpulse A und B unterschiedlich sein, in der Praxis werden sie jedoch beide eine gleiche Dauer haben.) Wenn beide Steuerpulse A und B wieder auf einen Wert zurückgekehrt sind, bei dem die Transistoren 2 und 3 sperren, "floatet" das Pad 4 und hat daher keinen Einfluss mehr auf die 25 (nicht dargestellten) externen, an das Pad 4 angeschlossenen Bauelemente auf der Platine.

In der Anwendung wird in der Regel nur eines dieser Potentiale U_{DD} oder GND (aktiv low oder aktiv high) benötigt. Die 30 Auswahl des benötigten Potentials unter den zwei nacheinander am Pad 4 anliegenden Potentialen erfolgt durch einen pull-down- oder einen pull-up- Widerstand. In Fig. 1A ist ein Board 5 mit einem pull-up-Widerstand 6 gezeigt, in Fig. 1B ist ein Board 5 mit einem pull-down-Widerstand 7 gezeigt.

35 Wie aus Fig. 1A ersichtlich ist der pull-up-Widerstand 6 für die Definition des inaktiven Signalzustandes auf der Platine

parallel zu dem Transistor 2 in der integrierten Schaltung geschaltet, so dass er das Pad 4 auf das Versorgungspotential U_{DD} zieht. Diesen Aufbau wird man daher wählen, wenn man ein low- aktives (Reset-) Signal am Ausgang der integrierten

5 Schaltung benötigt.

Der pull-down- Widerstand 7 in Fig. 1B ist parallel zu dem Transistor 3 in der integrierten Schaltung zwischen Masse GND und dem Pad 4 geschaltet, so dass er das Pad 4 auf Masse zieht. Diesen Aufbau wird man wählen, wenn man ein high- aktives (Reset-) Signal am Ausgang der integrierten Schaltung

10 benötigt.

In Fig. 2 ist der zeitliche Verlauf der oben genannten Signale zusammengefasst. Der erste Gate- Anschluss G1 liegt anfangs auf einem inaktiven Pegel. Zu einem bestimmten Zeitpunkt wird ein Steuerpuls A einer vorgegebenen Dauer an das Gate G1 angelegt. Analog liegt das zweite Gate G2 anfangs auf einem inaktiven Pegel. Zu einem bestimmten Zeitpunkt wird ein Steuerpuls B einer vorgegebenen Dauer an das Gate G2 angelegt. In der Ausführungsform nach Fig. 2 folgt der erste Steuerpuls A zeitlich auf den zweiten Steuerpuls B. Zwischen dem zweiten Steuerpuls B und dem ersten Steuerpuls A ist eine Wartezeit Δt vorgesehen, um ein Überschneiden der beiden Pulse A und B und damit einen Kurzschluss von Versorgungspotential U_{DD} und Masse GND sicher auszuschließen.

Eine derartige Abfolge von zwei aufeinanderfolgenden Steuerpulsen A und B an den Gates der Transistoren 2 und 3 kann besonders einfach mit einer (nicht dargestellten) Inverter-Verzögerungsvorrichtung erzeugt werden. Dabei wird der erste Steuerpuls A aus dem zweiten Steuerpuls B erzeugt, indem der zweite Steuerpuls B gleichzeitig sowohl an das Gate 2 als auch an die Inverter- Verzögerungsvorrichtung angelegt wird.

35 Steigt die Flanke an dem Gate G2 an, so steigt sie auch an der Inverter-Verzögerungsvorrichtung an. Fällt der zweite Steuerpuls B an dem Gate G2 wieder ab, wird die verzögerte

und invertierte Anstiegsflanke als Steuerpuls A durch die Inverter-Verzögerungsvorrichtung an das erste Gate G1 ausgegeben. Dabei muss selbstverständlich die Dauer des zweiten Steuerpulses B so gewählt werden, dass der zweite Steuerpuls 5 B wieder auf sein ursprüngliches Niveau zurückgekehrt ist, wenn die Inverter-Verzögerungsvorrichtung den ersten Steuerpuls A ausgibt. Zur sicheren Vermeidung eines Kurzschlusses kann dabei ein Zeitintervall zwischen den beiden Pulsen A und B vorgesehen werden, in dem sich beide Pulse A und B nicht 10 überschneiden.

Unter den Signalen A und B ist in Fig. 2 der Ausgangszustand der Push-pull-Stufe an dem Pad 4 in Abhängigkeit vom Zustand der Pulse A und B an den Gates G1 und G2 gezeigt. Solange die 15 beiden Gates G1 und G2 auf einem inaktiven Potential liegen, "floatet" das Pad 4, d.h. das Potential, auf dem das Pad 4 liegt, ist unbestimmt, was in Fig. 2 durch Z angedeutet ist.

Durch einen Pull-up- Widerstand 6 bzw. einen Pull-down- Widerstand 7 auf dem Board, außerhalb von dem integrierten 20 Schaltkreis wird aus dem Push- pull- Ausgangszustand der gewünschte der beiden möglichen asynchronen Signalpulse erzeugt, die in den beiden untersten Zeilen in Fig. 2 dargestellt sind.

25 Obgleich die Erfindung anhand von MOSFET-Transistoren beschrieben wurde, ist dem Fachmann klar, dass sie sich auch mit Bipolar-Transistoren verwirklichen lässt.

Patentansprüche

1. Schaltkreis zur Erzeugung eines asynchronen Signalpulses mit einer vorgegebenen Dauer an einem Ausgang einer integrierten Schaltung,

gekennzeichnet durch einen ersten und einen zweiten Transistor (2, 3) in der integrierten Schaltung, die zwischen ein Versorgungspotential (U_{DD}) und Masse (GND) in Reihe geschaltet sind, wobei zu-

10 zunächst an einem Steueranschluss (G1) des ersten Transistors (2) ein Steuerpuls (A) mit der vorgegebenen Dauer anliegt und anschließend an einem Steueranschluss (G2) des zweiten Transistors (3) ein Steuerpuls (B) anliegt, so dass für die vor-

15 gegebene Dauer erst der erste Transistor (2) und anschließend der zweite Transistor (3) leitend wird und der Verbindungs- punkt (4) erst auf dem Versorgungspotential (U_{DD}) und anschließend auf Masse (GND) liegt, und

einen Widerstand (6, 7) für die Definition des aktiven Signalzustandes, der außerhalb der integrierten Schaltung parallel zu einem der beiden Transistoren (2, 3) in der integrierten Schaltung entweder zwischen das Versorgungspotential (U_{DD}) und den Verbindungspunkt (4) oder zwischen Masse (GND) und den Verbindungspunkt (4) geschaltet ist.

25 2. Schaltkreis nach Anspruch 1,

dadurch gekennzeichnet, dass zwischen dem ersten Steuerpuls (A) und dem zweiten Steuerpuls (B) eine Wartezeit (Δt) vorgesehen ist, in der sich beide nicht überschneiden.

30 3. Schaltkreis nach Anspruch 1 oder 2,

dadurch gekennzeichnet, dass einer der beiden Steuerpulse (B) durch eine Inverter-Verzögerungsvorrichtung aus dem anderen der beiden Steuerpulse (A) erzeugt wird.

4. Schaltkreis nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
dass der erste Transistor (2) ein P-Kanal-MOS-Transistor und
der zweite Transistor (3) ein N-Kanal-MOS-Transistor ist, wo-
5 bei der Steueranschluss (G1) des ersten Transistors inver-
tiert ist.

5. Schaltkreis nach Anspruch 4,
dadurch gekennzeichnet,
10 dass der erste Transistor (2) und der zweite Transistor (3)
einen CMOS- Inverter mit unabhängigen Steuer-Gate-Anschlüssen
bilden.

Zusammenfassung

Schaltkreis zum Erzeugen eines asynchronen Signalpulses

5 Die Erfindung betrifft einen Schaltkreis zum Erzeugen eines asynchronen Signalpulses in einer integrierten Schaltung.

Um ohne großen schaltungstechnischen Aufwand ein pulsförmiges Signal mit einem gewünschten Aktivzustand zu erzeugen, ist der erfindungsgemäße Schaltkreis gekennzeichnet durch einen ersten und einen zweiten Transistor (2, 3) in der integrierten Schaltung, die zwischen einem Versorgungspotential (U_{DD}) und Masse (GND) in Reihe geschaltet sind, wobei zunächst an einem Steueranschluss (G1) des ersten Transistors (2) ein Steuerpuls (A) mit der vorgegebenen Dauer anliegt und anschließend an einem Steueranschluss (G2) des zweiten Transistors (3) ein Steuerpuls (B) anliegt, so dass für die vorgegebene Dauer erst der erste Transistor (2) und anschließend der zweite Transistor (3) leitend wird, und einen Widerstand (6, 7) für die Definition des aktiven Signalzustandes, der außerhalb der integrierten Schaltung parallel zu einem der beiden Transistoren (2, 3) in der integrierten Schaltung entweder zwischen dem Versorgungspotential (U_{DD}) und den Verbindungspunkt (4) oder zwischen Masse (GND) und den Verbindungspunkt (4) geschaltet ist.

Fig. 1a

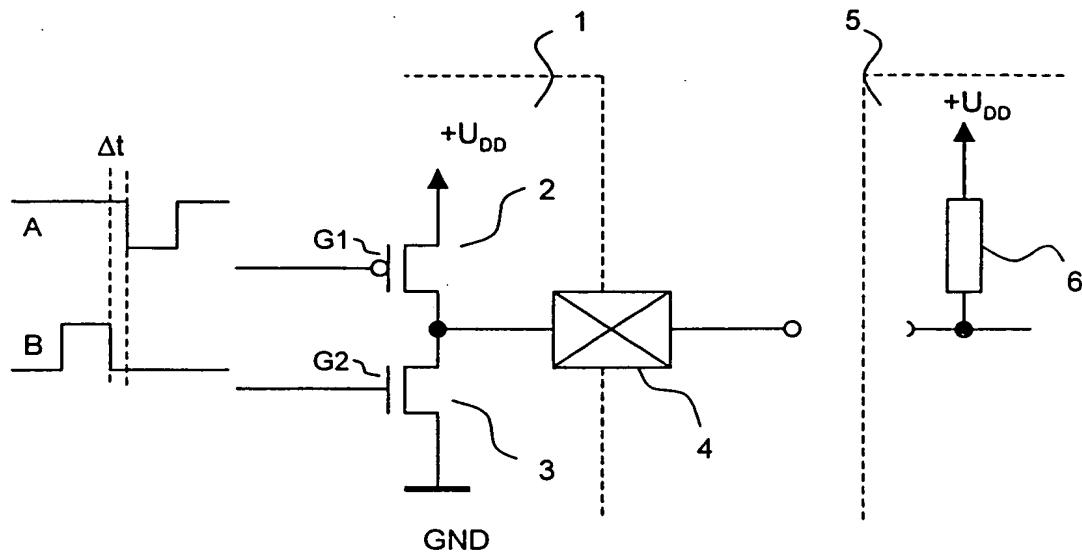


FIG. 1A

Bezugszeichenliste

- 1 Chip von integriertem Schaltkreis
- 2 erster Transistor der Push-Pull-Stufe
- 5 3 zweiter Transistor der Push-Pull-Stufe
- 4 Anschluss- Pad
- 5 Board für externe Schaltung
- 6 Pull-up-Widerstand
- 7 Pull-down-Widerstand

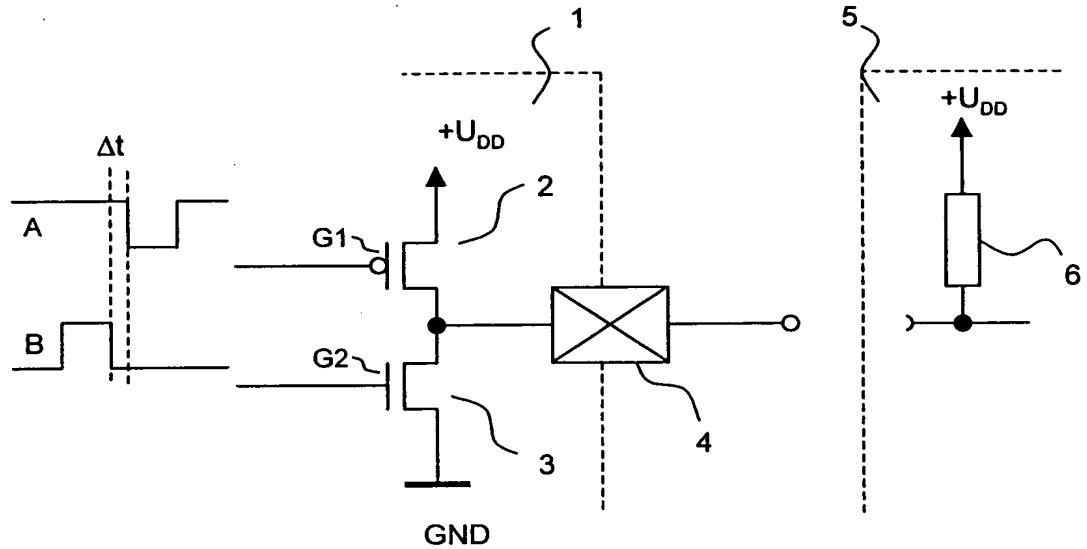


FIG. 1A

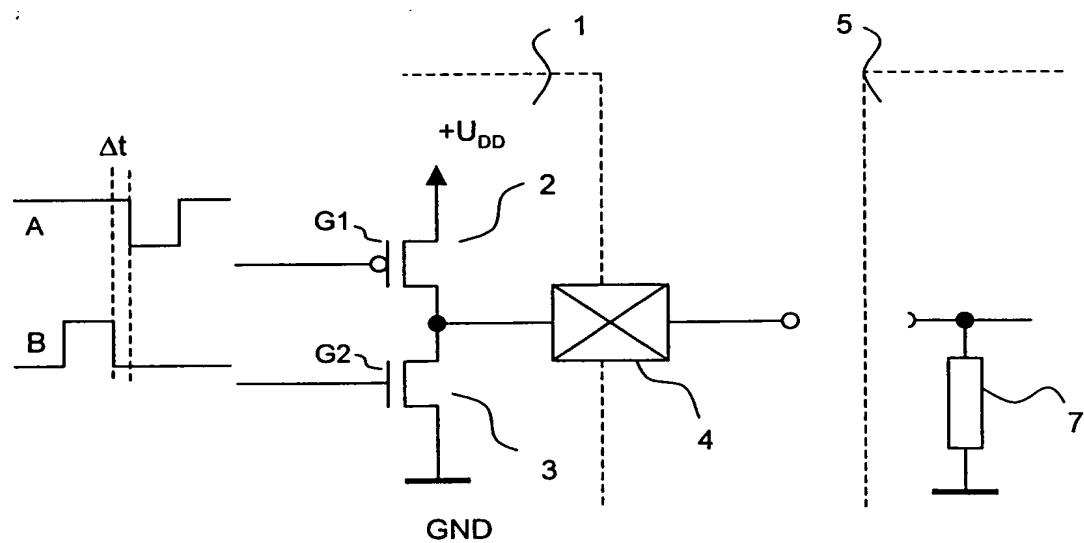


FIG. 1B

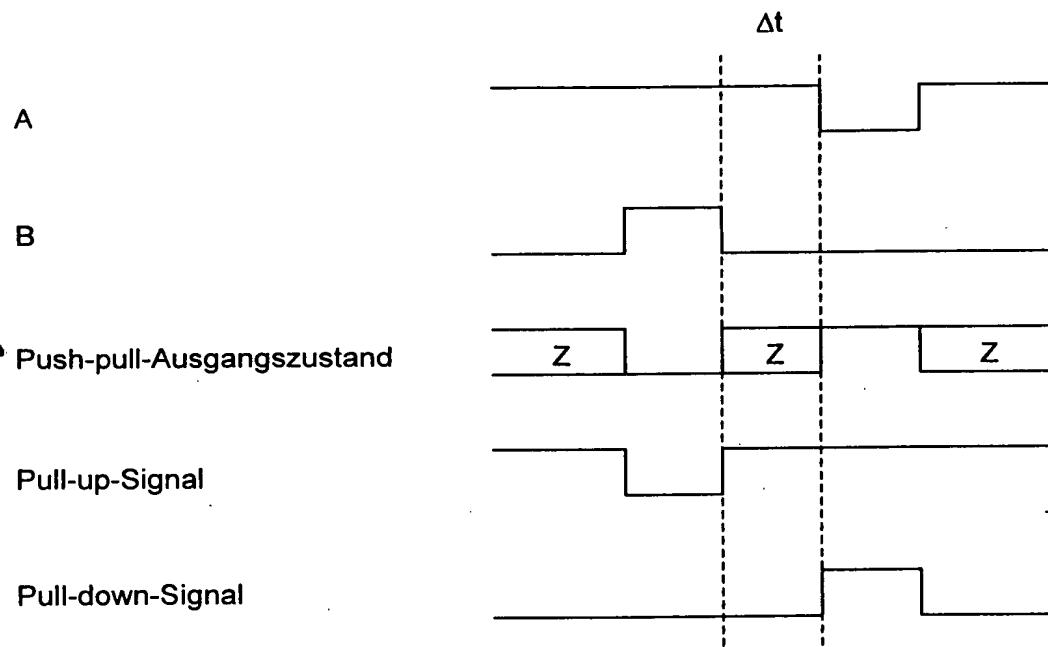


FIG. 2